

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186608
(43)Date of publication of application : 15.07.1997

(51)Int.CI. H03M 7/38
H04N 5/14
H04N 5/92
H04N 7/24

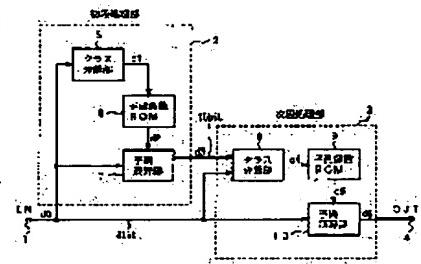
(21)Application number : 07-353119 (71)Applicant : SONY CORP
(22)Date of filing : 28.12.1995 (72)Inventor : KONDO TETSUJIRO
FUJIMORI YASUHIRO
ISHIZAKA TOSHIYA

(54) DEVICE FOR CONVERTING QUANTIZATION BIT NUMBER AND ITS DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To convert input picture data into pixel data with more quantization bit numbers by providing plural stages of class sorting adaptive processings.

SOLUTION: Eight-bit pixel data d0 is supplied to first-stage processing parts 2 and 3. In a class sorting part 5, a class d1 is detected from the pattern of the level distribution of pixel data d0 and a prediction coefficient (w0-w8) corresponding to the class d1 is read out of prediction coefficient ROM 6. A ten-bit prediction value d3 is generated from a picture element d0 and the prediction coefficient d2 by a linear first connecting expression in a prediction arithmetic part 7. In the class sorting part 8, the class d4 is generated from the prediction value d3 and pixel data d0 and the prediction coefficient (w0-w8) corresponding to the class d4 is read out of prediction coefficient ROM 9. Ten-bit pixel data d6 is generated from pixel data d0 and the prediction coefficient d5 by a linear first coupling expression in the prediction arithmetic part 10.



LEGAL STATUS

[Date of request for examination] 09.01.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3334468
[Date of registration] 02.08.2002
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-186608

(43)公開日 平成9年(1997)7月15日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 03 M 7/38		9382-5K	H 03 M 7/38	
H 04 N 5/14			H 04 N 5/14	Z
5/92			5/92	H
7/24			7/13	Z

審査請求 未請求 請求項の数6 FD (全10頁)

(21)出願番号 特願平7-353119

(22)出願日 平成7年(1995)12月28日

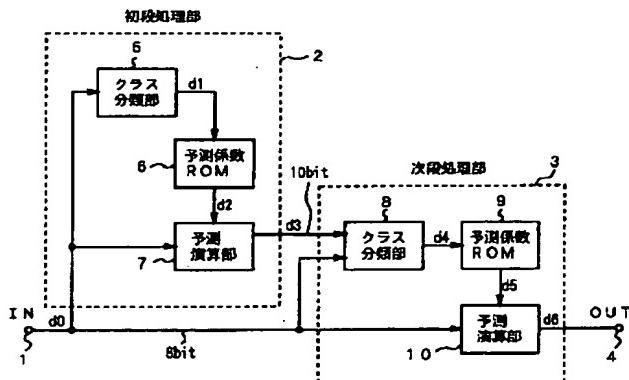
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 近藤 哲二郎
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 藤森 泰弘
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 石坂 敏弥
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】量子化ビット数変換装置および方法

(57)【要約】

【課題】 クラス分類適応処理を複数段設け、入力画像データをより多い量子化ビット数の画素データへ変換する。

【解決手段】 8ビットの画素データ d_0 が初段処理部 2、3 へ供給される。クラス分類部 5 では、画素データ d_0 のレベル分布のパターンからクラス d_1 が検出され、そのクラス d_1 に対応する予測係数 $w_0 \sim w_8$ が予測係数 ROM 6 から読み出される。予測演算部 7 では、線形1次結合式によって、画素データ d_0 と予測係数 d_2 とから 10ビットからなる予測値 d_3 が生成される。クラス分類部 8 では、予測値 d_3 と画素データ d_0 からクラス d_4 が生成され、そのクラス d_4 に対応する予測係数 $w_0 \sim w_8$ が予測係数 ROM 9 から読み出される。予測演算部 10 では、線形1次結合式によって、画素データ d_0 と予測係数 d_5 から 10ビットからなる画素データ d_6 が生成される。



【特許請求の範囲】

【請求項1】 入力ディジタル信号より多いビット数を持つディジタル信号を生成するようにした量子化ビット数変換装置において、

上記入力ディジタル信号中の注目画素および周辺画素のレベル分布のパターンに基づいてクラスを検出するクラス検出手段と、

上記クラスに対応する予測係数が読み出される予測係数記憶手段と、

上記予測係数と、上記注目画素および上記周辺画素とを用いて線形1次結合式から予測値を生成する予測値生成手段とからなるクラス分類適応処理手段を複数段有し、後段となる上記クラス分類適応処理手段は、前段の出力値と対象信号からクラス分類を行うことを特徴とする量子化ビット数変換装置。

【請求項2】 入力ディジタル信号より多いビット数を持つディジタル信号を生成するようにした量子化ビット数変換装置において、

上記入力ディジタル信号中の注目画素および周辺画素のレベル分布のパターンに基づいてクラスを検出するクラス検出手段と、

上記クラスに対応する予測値が読み出される予測値記憶手段とからなるクラス分類適応処理手段を複数段有し、後段となる上記クラス分類適応処理手段は、前段の出力値と対象信号からクラス分類を行うことを特徴とする量子化ビット数変換装置。

【請求項3】 請求項1または請求項2に記載の量子化ビット数変換装置において、

後段となる上記クラス分類適応処理手段は、前段の出力値と上記入力ディジタル信号からクラス分類を行うことを特徴とする量子化ビット数変換装置。

【請求項4】 請求項1または請求項2に記載の量子化ビット数変換装置において、

後段となる上記クラス分類適応処理手段は、前段の出力値と上記前段の出力値より定義されるレベル分布のパターンとからクラス分類を行うことを特徴とする量子化ビット数変換装置。

【請求項5】 入力ディジタル信号より多いビット数を持つディジタル信号を生成するようにした量子化ビット数変換装置において、

上記入力ディジタル信号中の注目画素および周辺画素のレベル分布のパターンに基づいてクラスを検出するクラス検出手段と、

上記クラスに対応する予測係数が読み出される予測係数記憶手段と、

上記予測係数と、上記注目画素および上記周辺画素とを用いて線形1次結合式から予測値を生成する予測値生成手段とからなることを特徴とする量子化ビット数変換装置。

【請求項6】 入力ディジタル信号より多いビット数を

持つディジタル信号を生成するようにした量子化ビット数変換方法において、

上記入力ディジタル信号中の注目画素および周辺画素のレベル分布のパターンに基づいてクラスを検出するステップと、

上記クラスに対応する予測係数が読み出されるステップと、

上記予測係数と、上記注目画素および上記周辺画素とを用いて線形1次結合式から予測値を生成するステップとからなるクラス分類適応処理を複数段有し、

後段となる上記クラス分類適応処理は、前段の出力値と対象信号からクラス分類を行うことを特徴とする量子化ビット数変換方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、例えばディジタルビデオテープレコーダ装置（ディジタルVTR）等に用いて好適な量子化ビット数変換装置に関して、特に、外部から供給される画像信号をより多い量子化ビット数の画像信号に変換して出力するような画像信号の量子化ビット数変換装置および方法に関する。

【0002】

【従来の技術】 今日、映像分野におけるデジタル化の流れは確実に普及の一途を辿り、デジタル信号での画像のやり取りは、既に規格化が完了し実用化されているものがある。そのひとつにCCIR・Rec. 601などが挙げられる。これはY/U/Vのデジタルコンポーネント信号のフォーマットを定義するものであり、各画素は8ビットのデジタル信号で定義されている。その後、画像プロセスの要求等から各画素を10ビットで定義する必要に迫られ、10ビットデータの信号規格も決められた。その一例として、シリアルディジタルインターフェースのSMPTEの259Mなどがある。そこで、異なる信号規格間で信号を取り扱う場合には、Rec. 601などで定義される8ビット信号を10ビット信号に変換する必要がある。

【0003】 このように、異なるデジタル信号フォーマット間の信号乗り換えのための必要な技術のひとつに、量子化ビット数変換が挙げられる。ここで、一例として、8ビットのデジタル信号から10ビットのデジタル信号への変換を考える。その信号値の関係を図7に示す。この例では、8ビットのデジタル信号値Q8は、量子化代表値であり、8ビット信号値Q8の本来のアナログ信号値（真値）は、図中の真値存在区間に含まれる。よって、8ビットのデジタル信号から10ビットのデジタル信号へ変換するためには、この8ビット信号値Q8を10ビットのデジタル信号値Q100～Q103の4種類のいずれかを選択して出力することになる。一般的な8ビット信号値から10ビット信号値への変換例としては、下位2ビットにゼロを付加すること

とが挙げられる。その結果、10ビット信号値Q100が常に出力されることになる。

【0004】

【発明が解決しようとする課題】しかしながら、この10ビット信号値Q100は、8ビット信号値の属性を反映しているため、画像プロセスにおけるDVE (Digital Video Effector)、クロマキー、スイッチャーなどの処理において、ある信号レベル幅の拡大を行うと量子化雑音により画質劣化が顕著になるという問題があった。

【0005】従って、この発明の目的は、上述の問題点を鑑みてなされたものであり、単に量子化ビット数を増加させるだけではなく、クラス分類適応処理を使用して少ない量子化ビット数の信号を情報量の増加に対応した信号に変換することができる量子化ビット数変換装置および方法を提供することにある。

【0006】

【課題を解決するための手段】請求項1に記載の発明は、入力デジタル信号より多いビット数を持つデジタル信号を生成するようにした量子化ビット数変換装置において、入力デジタル信号中の注目画素および周辺画素のレベル分布のパターンに基づいてクラスを検出するクラス検出手段と、クラスに対応する予測係数が読み出される予測係数記憶手段と、予測係数と、注目画素および周辺画素とを用いて線形1次結合式から予測値を生成する予測値生成手段とからなるクラス分類適応処理手段を複数段有し、後段となるクラス分類適応処理手段は、前段の出力値と対象信号からクラス分類を行うことを特徴とする量子化ビット数変換装置である。

【0007】また、請求項6に記載の発明は、入力デジタル信号より多いビット数を持つデジタル信号を生成するようにした量子化ビット数変換方法において、入力デジタル信号中の注目画素および周辺画素のレベル分布のパターンに基づいてクラスを検出するステップと、クラスに対応する予測係数が読み出されるステップと、予測係数と、注目画素および周辺画素とを用いて線形1次結合式から予測値を生成するステップとからなるクラス分類適応処理を複数段有し、後段となるクラス分類適応処理は、前段の出力値と対象信号からクラス分類を行うことを特徴とする量子化ビット数変換方法である。

【0008】この発明に係る量子化ビット数変換装置および方法は、入力された8ビットの画素データのレベル分布のパターンに基づいてクラス分類が行われ、そのクラスに対応した予測係数が読み出され、入力された8ビットの画素データと予測係数から10ビットの予測値へ変換され、変換された10ビットの予測値と入力画素データのレベル分布のパターンに基づいてクラス分類が行われ、そのクラスに対応した予測係数が読み出され、入力された8ビットの画素データと予測係数から10ビットの画素データが生成される。

【0009】

【発明の実施の形態】以下、この発明に係る量子化ビット数変換装置の一実施例について、図面を参照しながら詳細に説明する。図1は、この発明に係る量子化ビット数変換装置のブロック図である。1で示す入力端子から8ビットからなるデジタル画素データd0が供給される。その画素データd0は、初段処理部2および次段処理部3へ供給される。この初段処理部2は、クラス分類部5、予測係数ROM6および予測演算部7から構成され、次段処理部3は、クラス分類部8、予測係数ROM9および予測演算部10から構成される。

【0010】初段処理部2へ供給された画素データd0は、クラス分類部5および予測演算部7へ供給される。クラス分類部5では、供給された画素データd0から図2に示すように3画素×3ライン(以下(3×3)ブロックと称する)の画素x0～x8が抽出され、注目画素をx4として、クラスが分類される。そのクラスは、d1として予測係数ROM6へ供給される。

【0011】予測係数ROM6では、図3に示すように、予め記憶された予測係数の中から供給されたクラスd1に対応する9個の予測係数w0～w8が読み出される。この図3は、図2に示した9個の画素x0～x8をそれぞれ1ビットで表現したクラスを用いた一例のため、512種類のクラスを有し、クラス毎に9個の予測係数w0～w8が記憶される。読み出された予測係数d2は、予測演算部7へ供給される。予測演算部7では、8ビットの画素データd0と予測係数d2とを用いて、後述する線形1次結合式から10ビットの予測値d3が生成される。生成された10ビットの予測値d3は、初段処理部2の出力として次段処理部3へ供給される。

【0012】次段処理部3では、入力端子1からの8ビットの画素データd0がクラス分類部8および予測演算部10へ供給され、初段処理部2からの10ビットの予測値d3がクラス分類部8へ供給される。クラス分類部8では、クラス分類部5と同様に図2に示すような9個の画素x0～x8と10ビットの予測値d3とからクラスが分類される。分類されたクラスは、d4として予測係数ROM9へ供給される。また、クラス分類部8では、画素x4を除いた8個の画素x0～x3、x5～x8と10ビットの予測値d3を用いてクラスを生成することも可能である。

【0013】予測係数ROM9では、図4に示すように、予め記憶された予測係数の中から供給されたクラスd4に対応する9個の予測係数w0～w8が読み出される。この図4は、まず初段処理部2からの10ビットの予測値d3に応じて第1のクラスが分類される。上述した図7に示すように8ビットの画素データQ8から予測される10ビットの画素データは、Q100～Q103のいずれかであり、予測値d3がQ100～Q103の何れに対応するかによって、0, 1, 2, 3の第1のク

ラスが決定される。また、第1のクラス毎に9個の画素 $x_0 \sim x_8$ のレベル分布のパターンと対応した512種類のクラスが決定される。そして、クラス毎に9個の予測係数 $w_0 \sim w_8$ が記憶される。読み出された予測係数 d_5 は、予測演算部10へ供給される。予測演算部10では、8ビットの画素データ d_0 と予測係数 d_5 とを用いて線形1次結合式から10ビットの画素データ d_6 が生成される。生成された10ビットの画素データ d_6 は、次段処理部3の出力として出力端子4から出力される。

【0014】ここで、この発明の量子化ビット数変換装置を具体的に説明する。クラス分類部5および8で用いられたクラス分類は、入力された画像データ d_0 に対してクラス生成タップを設定し、入力信号の波形形成によりクラスを生成する手法が挙げられる。信号波形の特徴によるクラス分類法としては次の例などが提案されている。

- 【0015】1) PCM (Pulse Code Modulation) データを直接使用する方法
- 2) ADRC (Adaptive Dynamic Range Coding) を適用する方法
- 3) DPCM (Differential PCM) を適用する方法
- 4) BTC (Block Truncation Coding) を適用する方法

$$x' = \sum_{i=0}^{i=8} w_i \times x_i - w_0 \times x_0 + \cdots + w_8 \times x_8$$

x' : 注目画素 x_4 の10ビット予測値

x_i : 8ビット入力画素値

w_i : 予測係数

【0019】次に、この発明の他の実施例を図5に示す。入力端子11から8ビットからなるデジタル画素データ d_{10} が供給される。その画素データ d_{10} は、初段処理部12へ供給される。この初段処理部12は、クラス分類部15、予測係数ROM16および予測演算部17から構成される。また、次段処理部13は、クラス分類部18、予測係数ROM19および予測演算部20から構成される。

【0020】初段処理部12へ供給された画素データ d_{10} は、クラス分類部15および予測演算部17へ供給される。クラス分類部15では、供給された画素データ d_{10} を図2に示すように(3×3)ブロックに含まれる9個の画素 $x_0 \sim x_8$ が抽出され、注目画素を x_4 として、クラスが分類される。そのクラスは、 d_{11} として予測係数ROM16へ供給される。

【0021】予測係数ROM16では、図3に示すように、予め記憶された予測係数の中から供給されたクラス d_{11} に対応する9個の予測係数 $w_0 \sim w_8$ が読み出される。読み出された予測係数 d_{12} は、予測演算部17へ供給される。予測演算部17では、8ビットの画素データ d_{10} と予測係数 d_{12} とを用いて線形1次結合式

法

- 5) VQ (Vector Quantization) を適用する方法
- 6) 周波数領域クラス (DCT (Discrete Cosine Transform Coding))、アダマール変換、フーリエ変換その他) を適用する方法

【0016】この実施例では、一例としてクラス分類部5では、主に時間領域を意識したクラス分類法を使用し、クラス分類部8では、周波数領域を意識したクラス分類法を使用する。このように、クラス分類部5および8で異なるクラス分類法が用いられる方が望ましい。一例として、クラス分類部5では、ADRCを用いてクラス分類を行い、クラス分類部8では、DCTを用いてクラス分類を行う。

【0017】また、分類された各クラス毎に適応処理が行われるが、予め用意された予測係数による積和演算を用いる手法と、予め用意された予測値を出力する手法がある。例えば、図2に示すように、対象画素を含む8ビットの入力画素 $x_0 \sim x_8$ の9タップの予測において、注目画素 x_4 の10ビット信号値を予測する場合を考えると、予測式は、式(1)で示される。

【0018】

【数1】

(1)

(1)から10ビットの予測値 d_{13} が生成される。生成された10ビットの予測値 d_{13} は、初段処理部12の出力として次段処理部13へ供給される。

【0022】次段処理部13では、初段処理部12からの10ビットの予測値 d_{13} がクラス分類部18および予測演算部20へ供給される。クラス分類部18では、供給された10ビットの予測値 d_{13} から予測値に応じた第1のクラスが分類され、さらに予測値 d_{13} より定義されるレベル分布からクラスが分類される。すなわち、9個の画素 $x_0 \sim x_8$ のそれぞれと対応する9個の予測値を使用して、上述の実施例と同様にクラスが分類される。分類された第1のクラスとクラスは、 d_{14} として予測係数ROM19へ供給される。

【0023】予測係数ROM19では、図4に示すように、予め記憶された予測係数の中から供給されたクラス d_{14} に対応する9個の予測係数 $w_0 \sim w_8$ が読み出される。読み出された予測係数 d_{15} は、予測演算部20へ供給される。予測演算部20では、予測値 d_{13} と予測係数 d_{15} とを用いて線形1次結合式(1)から10ビットの画素データ d_{16} が生成される。生成された10ビットの画素データ d_{16} は、次段処理部13の出力として出力端子14から出力される。

【0024】次に、上述した予測係数ROMに記憶される予測係数の学習の一例を図6のフローチャートを用い

て説明する。このフローチャートは、ステップS1から学習処理の制御が始まり、ステップS1の学習データ形成では、例えば1フレームの中から8ビットの画素データと10ビットの画素データとから学習データが形成される。フィールド内またはフレーム内の周辺画素の値が学習データとして採用される。注目画素の真値と複数の周辺画素の値とが一組の学習データである。

【0025】ここで、周辺画素で構成されるブロックのダイナミックレンジが所定のしきい値より小さいもの、すなわちアクティビティーの低いものは、学習データとして扱わない制御がなされる。ダイナミックレンジが小さいものは、ノイズの影響を受けやすく、正確な学習結果が得られないおそれがあるからである。ステップS2のデータ終了では、入力された全データ、例えば1フレームのデータの処理が終了していれば、ステップS5の予測係数決定へ制御が移り、終了していなければ、ステップS3のクラス決定へ制御が移る。

$$y' = w_1 \cdot x_1 + w_2 \cdot x_2 + \dots + w_n \cdot x_n \quad (2)$$

を設定する。学習前は、 w_i が未定係数である。

【0028】上述のように、学習はクラス毎になされ、

$$y_j' = w_1 \cdot x_{j1} + w_2 \cdot x_{j2} + \dots + w_n \cdot x_{jn} \quad (3)$$

(但し、 $j = 1, 2, \dots, m$)

【0029】 $m > n$ の場合、 $w_1 \sim w_n$ は、一意には決まらないので、誤差ベクトルEの要素をそれぞれの学習

$$e_j = y_j - (w_1 \cdot x_{j1} + w_2 \cdot x_{j2} + \dots + w_n \cdot x_{jn}) \quad (4)$$

(但し、 $j = 1, 2, \dots, m$)

次に、式(5)を最小にする係数を求め、最小自乗法における最適な予測係数 w_1, w_2, \dots, w_n を決定

$$E^2 = \sum_{j=0}^m (e_j)^2 \quad (5)$$

【0031】すなわち、式(5)の w_i による偏微分係数を求めると、式(6)に示すようになる。式(6)で

($i = 1, 2, \dots, n$) である。

$$\frac{\partial E^2}{\partial w_i} = \sum_{j=0}^m 2 \left(\frac{\partial e_j}{\partial w_i} \right) e_j = \sum_{k=0}^n 2 x_{ji} \cdot e_j \quad (6)$$

【0033】式(6)を0にするように各 w_i を決めればよいから、

$$x_{ji} = \sum_{p=0}^n x_{pi} \cdot x_{pj} \quad (7)$$

$$Y_i = \sum_{j=0}^m x_{ji} \cdot y_j \quad (8)$$

【0035】として、行列を用いると、

【0036】

【0026】ステップS3のクラス決定は、上述のように、フィールド内またはフレーム内の所定の8ビットの画素データに基づいたクラス決定がなされる。ステップS4の正規方程式生成では、後述する式(9)の正規方程式が作成される。全データの処理が終了後、ステップS2のデータ終了から制御がステップS5に移る。このステップS5の予測係数決定では、この正規方程式を行列解法を用いて解いて、予測係数を決める。ステップS6の予測係数ストアで、予測係数をメモリにストアし、この学習のフローチャートが終了する。

【0027】図6中のステップS4(正規方程式生成)およびステップS5(予測係数決定)の処理をより詳細に説明する。注目画素の10ビットからなる画素データを y とし、その推定値を y' とし、その周囲の画素の値を $x_1 \sim x_n$ としたとき、クラス毎に係数 $w_1 \sim w_n$ によるnタップの線形1次結合

$$y' = w_1 \cdot x_1 + w_2 \cdot x_2 + \dots + w_n \cdot x_n \quad (2)$$

データ数がmの場合、式(2)は、式(3)で表される。

$$y_j' = w_1 \cdot x_{j1} + w_2 \cdot x_{j2} + \dots + w_n \cdot x_{jn} \quad (3)$$

データ $x_{j1}, x_{j2}, \dots, x_{jn}, y_j$ における予測誤差を e_j として、次の式(4)のごとく定義する。

$$e_j = y_j - (w_1 \cdot x_{j1} + w_2 \cdot x_{j2} + \dots + w_n \cdot x_{jn}) \quad (4)$$

する。

【0030】

【数2】

【0032】

【数3】

【0034】

【数4】

$$X_{ji} = \sum_{p=0}^n x_{pi} \cdot x_{pj} \quad (7)$$

【数5】

$$\begin{bmatrix} X_{11} & X_{12} & \dots & X_{1n} \\ X_{21} & X_{22} & \dots & X_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ X_{n1} & X_{n2} & \dots & X_{nn} \end{bmatrix} \begin{bmatrix} w_1 \\ w_2 \\ \vdots \\ w_n \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \vdots \\ Y_n \end{bmatrix} \quad (9)$$

【0037】となる。この方程式は、一般に正規方程式と呼ばれている。正規方程式は、丁度未知数が n 個だけある連立方程式である。これにより最確値たる各未定係数 w_1, w_2, \dots, w_n を求めることができる。具体的には、一般的に式(9)の左辺の行列は、正定値対称なので、コレスキ一法という手法により式(9)の連立方程式を解くことができ、未定係数 w_i が求まり、クラスコードをアドレスとして、この係数 w_i をメモリに格納しておく。

【0038】この実施例では、クラス分類に使用する画素と、予測演算に使用する画素とを同一のものとしたが、必ずしもその必要はない。また、初段処理部と次段処理部との間で、予測係数ROMに記憶される予測係数の数を同一としなくとも良い。

【0039】また、この実施例では、線形1次結合式を用いて10ビットの画素データを生成しているが、予めクラス毎に用意された予測値を用いることも可能である。

【0040】さらに、この実施例では、初段処理部および次段処理部と2段構成とされているが、3段構成、4段構成など多段構成とすることも可能である。

【0041】

【発明の効果】この発明に依れば、クラス分類応答処理を用いて、入力された8ビットからなるデジタル画素データから10ビットの予測値が生成され、その予測値

に基づいて10ビットの画素データが生成されるため、量子化ビット数変換の性能を向上することが可能となる。

【図面の簡単な説明】

【図1】この発明の量子化ビット数変換装置の一実施例のブロック図である。

【図2】この発明の量子化ビット数変換装置の説明に用いる略線図である。

【図3】この発明に適用される予測係数ROMの一例である。

【図4】この発明に適用される予測係数ROMの一例である。

【図5】この発明の量子化ビット数変換装置の他の実施例のブロック図である。

【図6】この発明に適用される予測係数の学習を説明するためのフローチャートである。

【図7】この発明の量子化ビット数変換装置の説明に用いる略線図である。

【符号の説明】

2 初段処理部

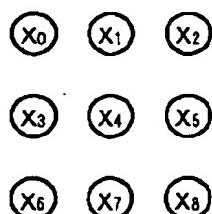
3 次段処理部

5、8 クラス分類部

6、9 予測係数ROM

7、10 予測演算部

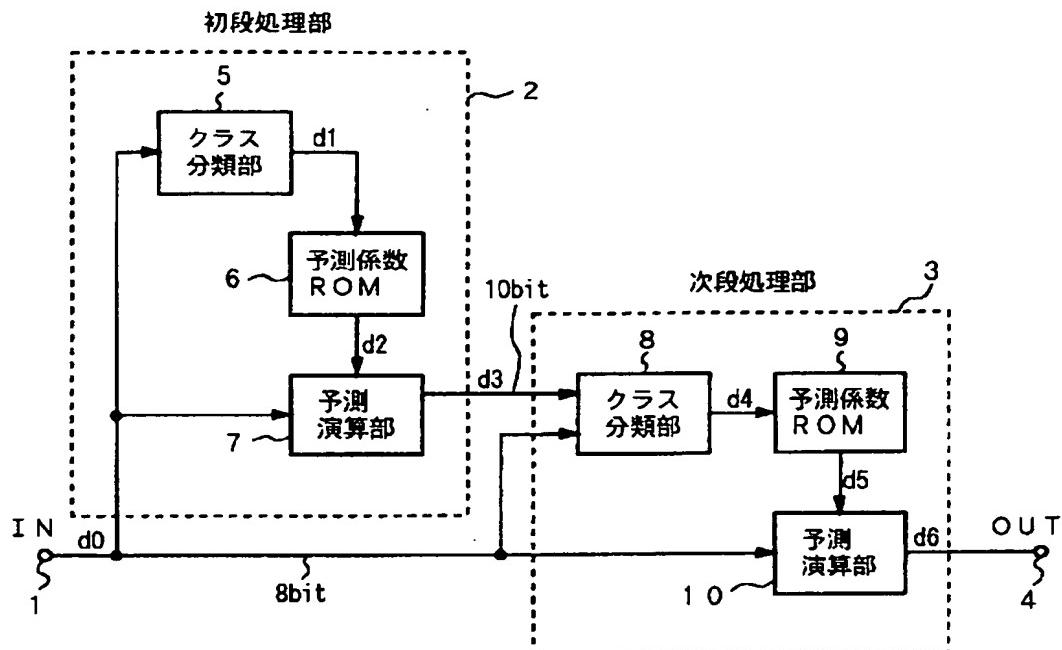
【図2】



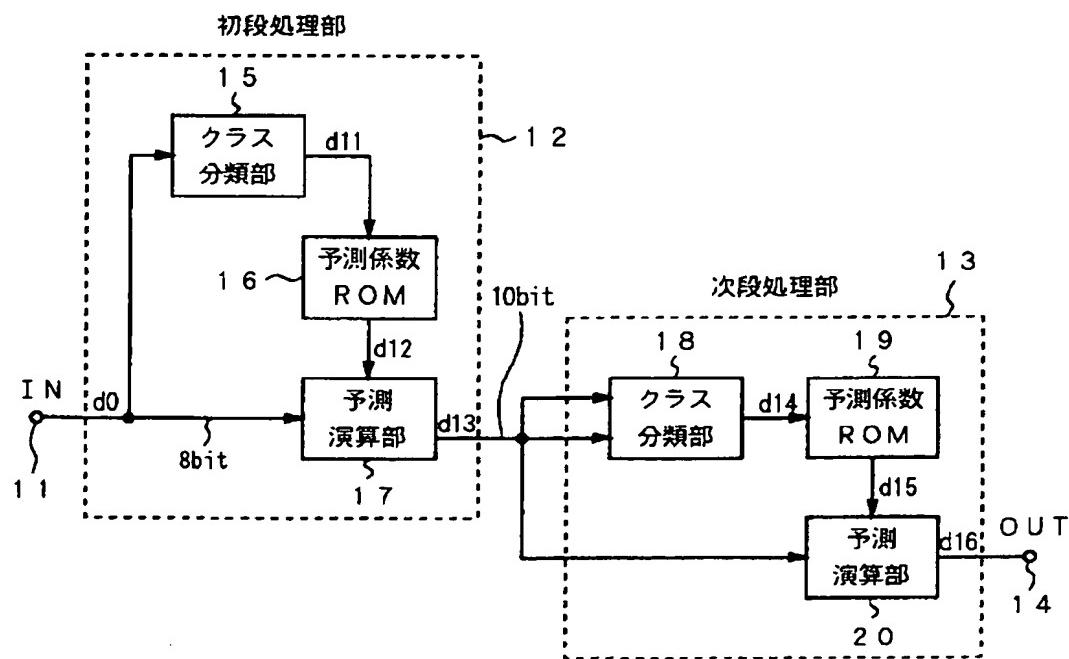
【図3】

クラス番号	予測係数
0	w0 w1 w2 w3 w4 w5 w6 w7 w8
1	
⋮	⋮
5 1 1	

【図 1】



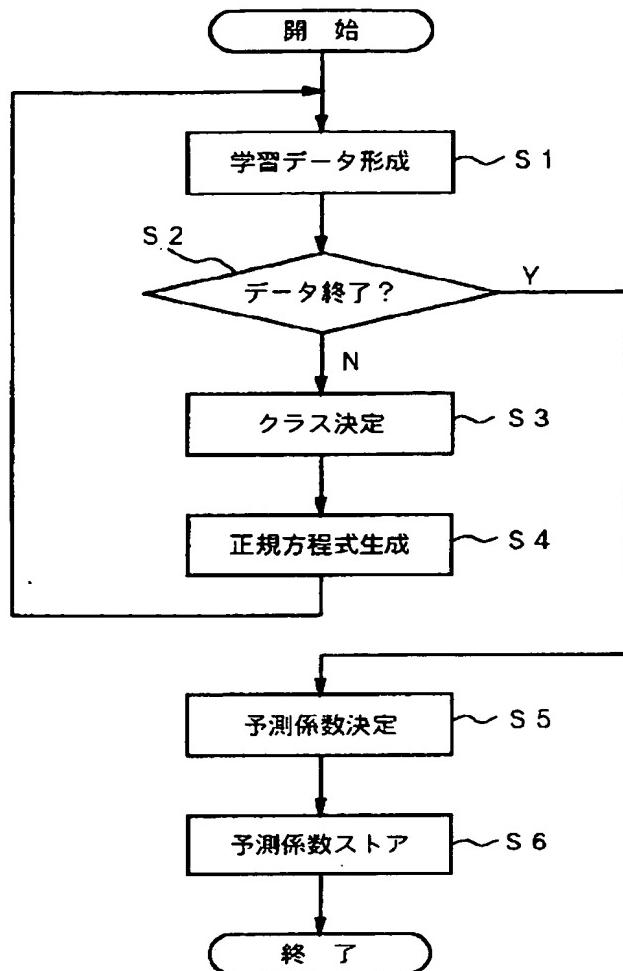
【図 5】



【図4】

初段予測値	クラス番号	予測係数
0	0	w0 w1 w2 w3 w4 w5 w6 w7 w8
	5 1 1	
1	0	w0 w1 w2 w3 w4 w5 w6 w7 w8
	5 1 1	
2	0	w0 w1 w2 w3 w4 w5 w6 w7 w8
	5 1 1	
3	0	w0 w1 w2 w3 w4 w5 w6 w7 w8
	5 1 1	

【図6】



【図7】

